

DOI:10.19816/j.cnki.10-1594/tn.2021.02.011

机器学习辅助数字集成电路后端设计方法*

林亦波¹,高笑涵¹,陈廷欢²,余 备²

(1. 北京大学集成电路学院 北京 100000; 2. 香港中文大学计算机工程系 香港特别行政区 999077)

摘要:数字集成电路后端设计是连接电路逻辑设计和制造的桥梁,需要同时考虑来自上层设计和下层制造工艺的约束。随着集成电路设计复杂度不断增加,工艺节点不断演进,后端设计自动化也面临越来越多来自建模和优化的挑战。为了应对这些挑战,机器学习技术被引入到后端设计自动化流程当中,为复杂建模提供了高效精准的方案,也为求解优化问题带来了新思路。介绍了数字后端设计自动化的典型流程,机器学习在数字后端设计的主要作用,以及当前研究对机器学习辅助数字后端设计的一些重要探索。

关键词:集成电路设计自动化;机器学习;物理设计;光刻

中图分类号:TM712 文献标识码:A 国家标准学科分类代码:510

Machine learning for digital circuit backend design

LIN Yibo¹,GAO Xiaohan¹,CHEN Tinghuan², YU Bei²

(1. School of Integrated Circuits, Peking University, Beijing 100000, China; 2. Department of Computer Science & Engineering, The Chinese University of Hong Kong, Hong Kong SAR, 999077, China)

Abstract: Backend design automation bridges logic design and manufacturing in modern integrated circuit (IC) design flow. It is crucial to the eventual design closure. Backend design in the modern design flow needs to consider constraints from both high-level design and low-level manufacturing. With the continuous increase in design complexity and aggressive shrinking of feature sizes, various new challenges have emerged in backend design, especially in modeling and optimization tasks. To tackle these challenges, machine learning has been introduced to backend design automation for efficient modeling and effective optimization. This paper will introduce the typical IC design flow, what machine learning can do in the backend design, and what the literature has explored on machine learning assisted backend design automation.

Keywords: EDA; machine learning; physical design; lithography

0 引言

现代集成电路设计依赖于电子设计自动化软件(electronic design automation, EDA),并按照一定的设计流程进行设计。数字电路设计流程一般分为前端和后端设计。前端设计负责生成功能正确的逻辑

实现,后端设计负责将电路网表映射到物理版图,并保障制造环节的鲁棒性。随着设计复杂度增加、工艺节点向物理极限推进,数字集成电路后端设计难度日趋增加。为应对后端设计的挑战,越来越多的研究将机器学习技术引入到后端算法和流程当中,用以提高建模、搜索和优化过程的性能和效率。

*基金项目:自然科学基金重点项目(62034007)、北京市科委项目(Z201100004220007)资助

林亦波(通信作者),研究员,主要研究方向为机器学习在EDA中的应用。E-mail:yibolin@pku.edu.cn

余备(通信作者),副教授,主要研究方向为机器学习在EDA中的应用。E-mail:byu@cse.cuhk.edu.hk

1 机器学习辅助数字后端设计简介

1.1 数字设计流程及挑战

数字集成电路设计通常分为前端和后端两大设计流程。如图1所示,前端设计负责生成逻辑实现并验证,包含功能设计、系统设计、逻辑综合与验证。后端设计负责生成相应逻辑设计的物理实现,即将逻辑电路网表映射到物理版图上,并确保后续制造的鲁棒性。后端设计环节包含物理设计、物理验证、掩膜设计与验证等步骤。其中,物理设计可进一步分为布图规划、布局、时钟树综合、布线等步骤,掩膜设计与验证则包含光学邻近效应修正、亚分辨率辅助图形生成、光刻仿真等步骤。在实际设计当中,由于各个步骤之间信息相互依赖,设计指标评估复杂,流程需要反复迭代才能实现设计收敛。

先进工艺下的数字后端设计流程主要面临3大挑战。1)设计规模大:随着集成电路规模不断增大,一颗芯片能够达到百亿晶体管规模(约合几亿至几十亿逻辑门)。即使采取模块化设计的方案,后端设计软件也需要处理百万至千万逻辑门规模的电路模块,对后端各个设计步骤算法的效率提出了很大的挑战。2)设计目标与约束复杂:先进工艺引入更加复杂的设计规则和器件/互联模型,不仅大幅增加了生成合法版图的难度,也提高了性能评估的代价。特别是在设计流程早期,经典近似模型与最终性能指标的关联性减弱,降低了优化算法的效果,以至更加依赖流程迭代达到收敛。3)设计流程长:从图1可以看到,后端设计流程冗长,各步骤之间耦合性较强,导致迭代效率低,设计收敛慢。这3大挑战增加了芯片设计的时间及人力成本,是后端设计亟待解决的难题。

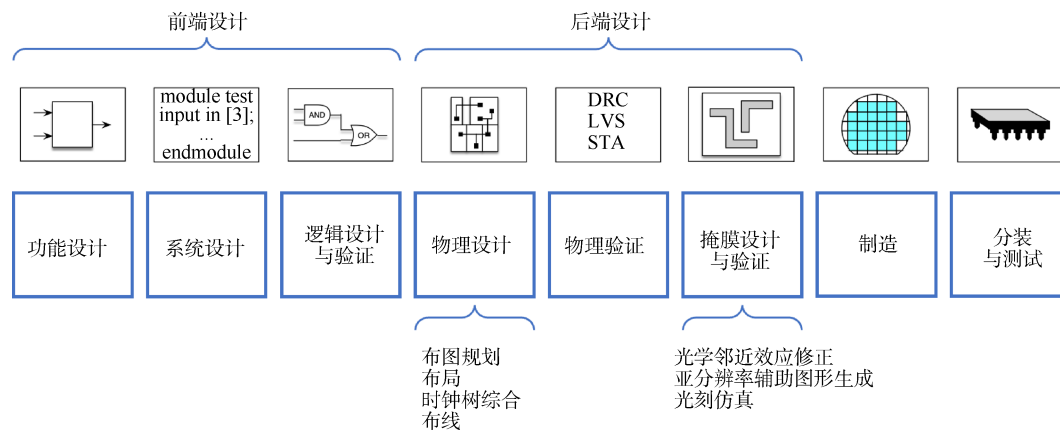


图1 数字设计流程

Fig.1 The digital design flow

1.2 机器学习辅助数字后端设计

机器学习技术近年来发展迅速,特别是在图像识别、自然语言处理、强化学习等领域展现了优异的建模和搜索性能。目前,越来越多的后端设计自动化研究引入机器学习提升传统优化算法的性能和效率,为缓解上述3大挑战提供了可能性。1)由于其强大的建模能力,它可以为流程中的早期步骤提供精准高效的性能指标评估。比如在布局阶段考虑布线拥塞、时序等,加快设计收敛的效率。2)由于其数据驱动的特性,它可以为特定设计流程和应用场景定制设计自动化算法。比如布局阶段的拥塞评估依

赖于后续布线算法的特点,不同布线算法可能得到不同的拥塞结果。传统评估方法通常仅考虑独立于布线算法的通用评估,而机器学习技术则可以根据布线算法得到的拥塞数据自动适配模型,实现定制化的设计流程。3)机器学习技术的普及也降低了开发设计自动化算法的门槛。提供了一种数据驱动的新方法,将传统解析式的仿真和优化问题转变为一种数据到数据的映射问题,并训练具有强大表达能力的机器学习模型去学习这种映射,弱化了算法开发人员对相关背景知识的要求。比如光刻仿真问题可以抽象为一个图像转译的问题,利用神经网络去

学习转译映射函数,不再要求一般算法开发人员了解光刻仿真中涉及到的偏微分方程求解等细节。

本文总结了近期机器学习技术在数字后端设计各步骤的应用与问题抽象,特别是在布局布线、时钟树综合、掩膜综合与验证等步骤中发挥的作用,并分析这些成功应用背后的共性问题与对应的机器学习技术,为进一步深入研究提供基础。

2 物理设计

物理设计是数字集成电路后端设计中的一个重要步骤。将设计从逻辑综合后的图表示(标准单元和互连)转换为由逻辑门物理形状组成的几何表示。在机器学习领域,图神经网络非常适合解析基于图表示的数据。几何表示则可以被描述为图像。而基于图像的计算机视觉是机器学习的成熟应用之一^[1-3]。应用于物理设计的典型机器学习模型是卷积神经网络及其变型,例如卷积条件对抗网络和卷积自编码网络。下面将详细阐述机器学习方法在物理设计各个阶段上的应用。

2.1 布局

布局在过去的几十年里已经取得了大量的研究成果。然而现有芯片布局算法的效率仍然无法跟上快速增长的设计规模。Mirhoseini等^[4]提出将宏单元布局抽象为强化学习问题,并训练智能体将给定芯片的所有宏单元放置到版图特定位置上。使用强化学习的动机是从过去的经验中学习并提高对宏单元布局的能力。通过在大量布局设计上训练智能体,可以获得尽可能多的经验,提高智能体的泛化能力。事实上,深度强化学习方法不需要智能体直接生成所有宏单元的位置,而是在一步一步放置宏单元。完成所有宏单元的布局后,再利用传统布局算法完成其余标准单元的布局任务。该方法较当前最先进的组合优化方法实现了更好的求解质量,其产生的结果可与专家的手动设计相媲美。为了对用于电压突发情况监测的噪声传感器进行有效布局,Liu等^[5]使用生成对抗网络从有限的样本中创建噪声映射,这些噪声映射之后被输入到优化算法中用来找到噪声传感器的布局解。Barboza等^[6]在布局阶段预测布线后的延迟,将手工提取的特征与经典机器学习算

法(如lasso回归或随机森林)相结合来预测单个网络的延迟,无需生成布线拓扑。

除上述工作外,布局阶段的可布线性预测任务也得到了广泛的研究,因为可布线性的优劣会很大程度影响后续的布线性能。深度学习因其在计算机视觉和其他相关任务中展现的性能与效率而被引入到可布线性预测任务当中。Xie等^[7]通过布局后的特征预测实际布线后设计规则违例(design rule violation)的数量和位置。如图2所示,由于二维布局版图可以表示为图像,因此计算机视觉领域成熟的图像分类问题和可布线性问题具有高度相似性。这使得它们不仅可以采用类似的模型,如卷积神经网络,甚至可以从不同数据集的模型进行迁移学习。Xie等提出的方案是利用在ImageNet^[8]数据集上预训练的卷积神经网络,在布局数据集上进行微调,得到可布线性预测模型。在布局期间使用该模型的预测来主动避免难以布线的布局结果。Tabrizi等^[9]也提出通过预测给定布局设计的设计规则违例来引导布局。相比于文献[7],他们从布局中提取了更多特征,而前者是直接将布局设计的原始版图图像传到神经网络中。

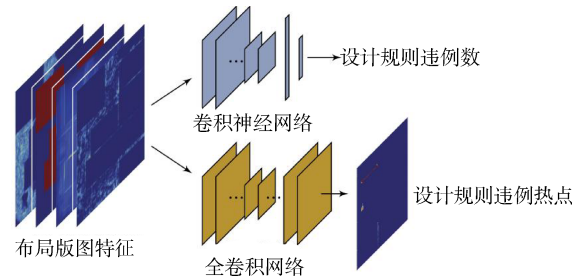


图2 物理设计与图像分类具有相似性

Fig.2 The similarity between physical design and image classification

大多数传统布局器设计用于处理通用布局而很少关注数据路径布局。实际上自动生成数据路径驱动的布局版图是一个开放问题。但是在过去几年中也取得了一系列进展。Ward等^[10]提出了一种统一的布局流程,可同时处理随机逻辑和数据路径上的标准单元。其方案为从网表中提取图结构特征和物理特征,并将其输入到一些有效的分类器(例如神经网络)对数据逻辑路径的布局模式进行分类,再根据分

类进行针对数据路径的布局。

最近的研究对最大限度地利用 GPU 计算资源加速布局提出了里程碑式的方案。Lin 等^[11]提出 DREAMPlace 布局器,该布局器将全局布局的优化问题转化为神经网络训练问题,以便利用在深度学习广泛使用的工具包 PyTorch 以及定制的内核和运算符,在 GPU 上实现加速。DREAMPlace 是基于 Lu 等^[12]提出的基于静电理论的布局算法设计的。将布局 and 网表建模为一个静电系统,并通过离散余弦变换求解泊松方程找到具有最低电能的平衡状态。与最先进的多线程布局器相比,DREAMPlace 可以在不降低布局质量的情况下实现 30 倍以上的加速。

一些研究工作也尝试将机器学习方法用于工具参数选择。Agnesina 等^[13]以 FPGA 布局布线为目标,构建多个模型来加快编译时间。这些模型将网表分为简单类和困难类,针对不同的类选择不同的模型用于预测最佳工具参数或预测编译时间。这项工作使用堆叠模型策略,即利用线性回归将各种模型的输出与不同的算法相结合。Agnesina 等之后使用基于 actor-critic 的深度强化学习来调整 ASIC 布局阶段的工具参数。深度强化学习中定义的状态(state)包括网表特征和当前工具参数。其中:网表特征包含了手工提取的特征和图神经网络自动学习的特征,两者都被传递给 multi-head actor/critic 神经网络,并将目标(奖励)设置为减少线长。Xie 等^[14]也提出了一种自动选择工具参数的方法,即使用基于聚类的采样方法从已有设计中获取知识,从而训练一个基于树的代理模型(surrogate model)。

Lu 等^[15]利用深度学习辅助求解分割三维集成电路的问题。首先将网表转换为图表达,获取能够分割每个结点的特征,最后采用加权 k 均值算法获得面积平衡的分割解。类似于 Agnesina 等^[16]的工作,他们的特征包含手工提取的特征和图神经网络自动学习的特征。

2.2 时钟树综合

时钟偏差(clock skew)是估计时钟性能的基本指标。现有工作已经表明,修改锁存器布局位置是一种能够有效减少局部时钟树电容的方法^[17]。目前存在 3 种锁存器布局修改技术:锁存器移位、锁存器聚类 and 锁存器组合。为了减少由于局部时钟树导致

的额外功耗,Ward 等^[18]为每个工艺提供优化过的锁存器簇布局模版。之后在物理设计阶段采用机器学习模型快速选择最优的模版对锁存器簇进行布局。Lu 等^[19]提出了 GAN-CTS,它使用生成对抗网络和强化学习进行时钟树预测。如图 3 所示,将触发器分布、时钟网络分布和实验布线结果作为输入图像,利用在 ImageNet 数据集上预训练的 ResNet-50 网络串接上若干全连接层进行特征提取。该框架利用条件生成对抗网络优化时钟树,其中生成器由回归模型所构成,并采用策略梯度算法优化时钟树综合。

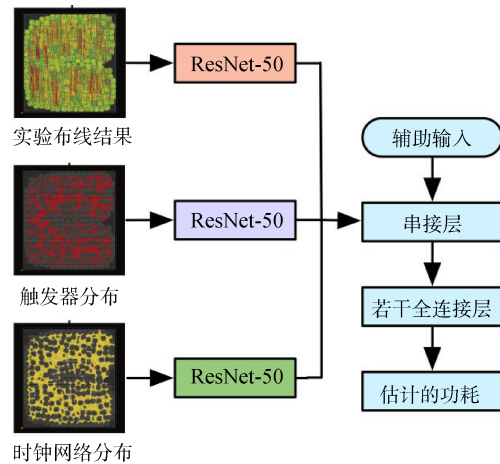


图3 时钟树综合的特征提取流程

Fig.3 The feature extraction of clock tree synthesis

2.3 布线

布线步骤将属于相同信号的单元引脚在物理上通过金属线连接起来。如图 4 所示,Yu 等^[20]和 Alawieh 等^[21]应用生成对抗网络来学习 FPGA 布局和布线拥塞之间的相关性。Yu 等^[22]提出了一个引脚可访问性预测模型来改善布局结果,通过枚举找到每两个引脚之间的最佳间距。Hung 等^[23]和 Liang 等^[24]分别改进了网络模型,使其可用于在全局布线和布局阶段后对设计规则违例进行预测。

布线过程是一项非常复杂且耗时的任务,很难通过纯机器学习方法来解决。因此将机器学习模型和传统算法相结合是很有前景的方向,例如采用机器学习模型做出的软决策来指导布线^[25]。通过这种方式可以在保持传统算法稳健性的同时获得更好的

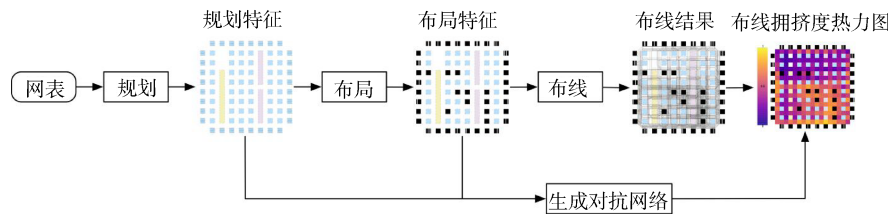


图4 FPGA布线预测的特征输入与拥挤度输出

Fig.4 Feature input and congestion output in FPGA routing prediction

性能。本文还观察到,在数字后端流程中,多个不同实现方式都可能达到相同的性能^[25]。考虑到几乎没有从输入到输出的一对一映射监督学习方法可行性较低。这也是广泛使用生成方法(例如,生成对抗网络)的原因,因为它很好地保留了上述一对多映射的自由度。

除了拥塞预测,Qu等^[26]观察到,广泛使用的顺序布线算法中布线顺序会显著影响布线质量^[27],尤其是设计规则违例的数量。文献[26-27]还提出了一种基于强化学习的算法来学习布线排序策略,从而最大限度地减少由于网络特征所导致的设计规则违例。虽然在强化学习中通常每个输入设计都被视为一个不同的环境,但通过改进强化学习中的智能体网络架构,可以使其适用于不同的设计。

机器学习不仅在经典的设计流程有效,它还可以在分体制造等安全制造场景下实现反向工程。Li等^[28]和Zeng等^[29]成功利用低层的完整信息重建了较高金属层的互连关系。相关技术可以预测两个引脚在较高金属层互连的可能性,有助于重建整个芯片。

2.4 电源/地网络

供电网络设计是一项复杂的迭代优化任务,对芯片的性能、面积和成本有很大影响。为了减少设计时间,最近的研究关注基于机器学习的电阻压降估计。以往的工作通常采用基于仿真的电阻压降分析^[30-31]。然而日益复杂的芯片设计使得基于仿真方法的电阻压降分析效率低下。电阻压降可分为两类:静态和动态。静态电阻压降主要由供电网中金属线的电阻引起,而动态电阻压降则由信号切换和局部电流波动引起的。IncPIRD利用XGBoost对静态电阻压降进行增量预测,特别是来自物理设计改动引起的电阻压降值变化^[32]。而对于动态电阻压降

估计,Xie等^[33]提出了PowerNet,将电阻压降估计建模为回归问题,预测不同位置的电阻压降值。这项工作引入了“最大卷积神经网络”算法来预测最大电阻压降。此外,PowerNet具有可迁移到新设计的能力。而大多数先前的研究只能用于特定的设计中,存在一定的局限性。最近的一项工作GridNet提出了一种利用条件对抗网络分析来自电迁移的电阻压降^[34]。该框架将时间和选定的电气特征作为输入图像,输出为电压映射图。还有工作侧重规划和布局步骤中供电网络的综合问题^[35]。该工作设计了一个可拼接模板库来表示位于不同层的供电网络。训练阶段采用模拟退火来选择模板。推理阶段则分别采用全连接神经网络和卷积神经网络选择规划阶段和布局阶段的模板。Cao等^[36]训练若干个机器学习模型来预测供电网络的质量,填补不准确但快速的估计工具与准确但缓慢的签核工具之间的差距。

3 光刻仿真与掩膜综合

光刻是芯片制造的重要环节。由于流片成本高昂,在流片前对掩膜进行可制造性验证是必不可少的环节。传统光刻仿真与验证的计算代价高昂,成为了设计流程的瓶颈。比如Synopsys Sentaurus Lithography^[37]这类商用物理级别严格光刻仿真软件,在 $2\mu\text{m}\times 2\mu\text{m}$ 掩膜切片上单次仿真,需要耗时几分钟(考虑厚掩膜近似模型的仿真时间)。而一颗处理器芯片可以分解为百万至千万个同样大小的切片。随着近年的机器学习领域的突飞猛进,应用机器学习方法替代或辅助光刻领域的传统算法成为一种趋势。同时,本文注意到光刻领域的问题与计算机视觉领域的问题有很高的相似性,将计算机视觉领域的神经网络模型应用到光刻问题,已在光刻仿真、

优化、验证等方面取得了不错的成果^[38]。目前机器学习在光刻相关的应用主要包括光刻模型,掩膜优化,版图可制造性预测和版图图形生成。

3.1 光刻模型

光刻模型一般包含两个阶段,第1阶段是光学模型(optical model),第2阶段是光刻胶模型(resist model)。如图5所示,光学模型仿真光通过掩膜照射到光刻胶形成的光强分布(空间像),光刻胶模型仿真光强分布在光刻胶上形成的图案(光刻胶图案)。光学模型一般分为薄掩膜近似和厚掩膜近似。其中薄掩膜近似即Kirchhoff近似,不考虑掩膜的3D效应。物理级别的厚掩膜近似虽然更精准,但仿真耗时,计算代价高,因此Ye等^[38]提出将掩膜视为像素图,将光学模型类比为计算机视觉中的图像生成问题。前人构建了基于条件生成对抗网络的TEMPO模型,生成不同高度条件下的光强分布,相比于传统的物理级别严格仿真达到100倍以上的加速效果。

随着工艺节点的演进,传统近似光刻胶模型(compact resist model)逐渐难以满足精度要求^[39]。Watanabe等^[40]提出使用卷积神经网络可以更准确地建立光刻胶模型。由于训练卷积神经网络获取更高的准确率需要大量的数据,Lin等^[41]提出使用迁移学习和主动学习技术减少训练所需要的数据量,实现在不同工艺节点模型之间的迁移。

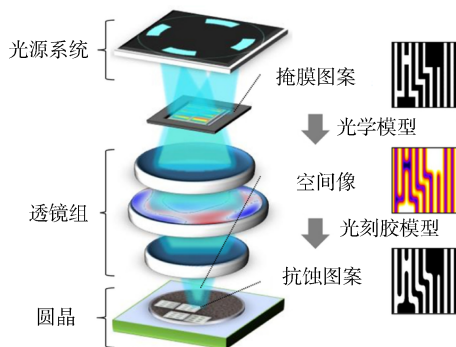


图5 光刻仿真成像过程^[40]

Fig.5 Imaging process in lithography simulation^[40]

Ye等^[42]进一步提出了端到端LithoGAN光刻模型,不再区分光学模型与光刻胶模型,而是直接从掩

膜图案出发预测光刻胶图案。通过在放大的光刻胶图案上训练生成对抗网络,LithoGAN能够输出超分辨率的光刻胶图案。相比于传统的物理级别严格仿真,LithoGAN在7 nm的接触层(contact layer)上实现了1 800倍速度的优势。

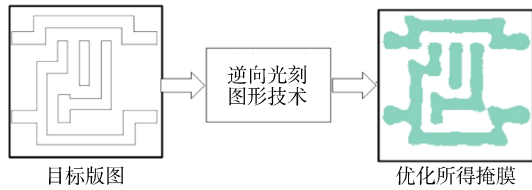
3.2 掩膜优化

掩膜优化问题是光刻仿真的逆问题。其目标是寻找合适的掩膜图案,使得通过光刻生成的光刻胶图案最接近目标版图。掩膜优化技术包括亚分辨率辅助图形(sub-resolution assist features, SRAF)、光学邻近效应修正(optical proximity correction, OPC)以及逆向光刻图形技术(inverse lithographic techniques, ILT)。

光学邻近效应修正技术通过改变目标图案的边缘来增强光刻性能,保证正确的关键尺寸(critical dimension)。早期OPC主要研究如何设计调整目标图案边缘的方案,比如Awad等^[43]采用一种同时移动关键图案邻边的优化算法。GAN-OPC^[44]将问题建模为图像到图像的转化问题,使用生成对抗网络直接生成OPC结果,为解决这一类问题提供了新思路。

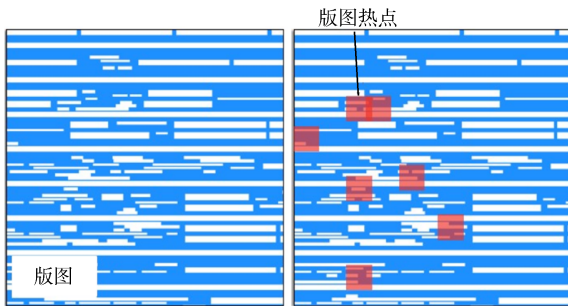
亚分辨率辅助图形技术在目标图案附近插入亚分辨率图形,以干涉来增强目标图形。早期SRAF主要基于规则或模型,如商用工具Mentor Graphics Calibre中采用的方案^[39]。近来出现了基于机器学习模型的SRAF插入技术,即采用类似于GAN-OPC的思路,GAN-SRAF^[45]将插入亚分辨率图形的问题建模为图像到图像的转化问题,使用条件生成对抗网络来生成亚分辨率辅助图形。

逆向光刻图形技术从光刻仿真逆问题的角度同时解决亚分辨率辅助图形插入和光学邻近效应修正的问题。如图6所示,ILT过程以目标版图为输入,优化掩膜图案使得生成的版图最为接近目标版图。相比于SRAF和OPC,ILT拥有更大的搜索空间。Poonawala等^[46]最早将光刻优化的问题表述为逆成像问题。沿着这条思路,MOSAIC^[47]引入数学优化的方法求解ILT问题。Neural-ILT^[48]引入U-Net^[49]神经网络模型作为求解器,生成优化的掩膜结果。

图6 逆向光刻图形技术^[44]Fig.6 Reverse lithograph pattern technology^[44]

3.3 版图可制造性预测

热点检测问题是版图可制造性预测的关键问题。如图7所示,将版图中可能无法正常制造的区域称为版图的热点。提前检测出版图中的热点区域可以帮助设计者及时改进版图。由于光刻仿真的计算开销高、运行时间长,版图热点检测旨在版图通过光刻仿真之前,预测版图中可能出现的问题区域。

图7 光刻热点检测示例^[50]Fig.7 An example of lithography hotspot detection^[50]

版图热点检测的两大主流算法为模式匹配和机器学习。模式匹配方法通过比对版图热点数据库的版图拓扑来识别可能存在问题的版图。在先进工艺节点下,模式匹配方法受限于热点数据库的通用性,更多研究选择使用机器学习来预测版图热点。早期将传统机器学习模型应用在热点检测问题的尝试包括:使用支持向量机检测区域内是否存在热点^[50],使用贝叶斯模型检测^[51]。Yang等^[52]首次将版图热点检测问题类比为图像分类问题并考虑热点检测数据中的严重数据不均衡,并引入计算机视觉领域的卷积神经网络训练预测模型。Chen等^[53]进一步研究如何同时检测出一个版图区域内可能存在多个热点的场景,并将该问题抽象为计算机视觉领域的目标检测问题。

3.4 版图图形生成

机器学习也被应用在版图图形数据库的构建当中。有效的版图图形数据库需要满足:1)不违背设计规则;2)模式尽可能多样。Yang等^[54]提出将版图图形生成问题抽象为带约束的随机图像生成问题,使用transforming convolutional auto-encoder编码版图到高维空间,扰动高维空间的向量获得版图的变体。Zhang等^[55]进一步提出一种尽量生成不违背设计规则的合法版图的方法,即使用VCAE自编码模型^[56]生成版图经过高斯扰动得到的变体,并使用条件对抗生成网络^[57]合法化生成的版图,再经由对抗自编码器过滤掉不合法的版图图形。

4 结论

本文回顾了数字集成电路设计自动化的主要流程,以及在先进工艺下数字后端设计中建模和优化的挑战。在此基础上,介绍了如何运用机器学习技术辅助后端设计中的建模和优化问题,并就物理设计和光刻环节的设计自动化问题抽象和相应的机器学习技术展开了讨论。可以看到,机器学习在数字后端设计自动化中主要处理图和图像两类数据,这些数据分别来自电路网表和版图特征。同时,机器学习的任务也较为多样,包括分类、回归、图像生成、参数搜索等。相信随着研究的不断深入,机器学习将与数字后端设计的传统算法更加有机地结合,实现更精准高效的建模与优化。

参考文献

- [1] CIREGAN D, MEIER U, SCHMIDHUBER J. Multi-column deep neural networks for image classification[C]. IEEE Conference on Computer Vision and Pattern Recognition, 2012: 3642-3649.
- [2] LONG J, SHEHMER E, DARRELL T. Fully convolutional networks for semantic segmentation[C]. IEEE Conference on Computer Vision and Pattern Recognition, 2015: 3431-3440.
- [3] FU J, ZHENG H, MEI T. Look closer to see better: Recurrent attention convolutional neural network for fine-grained image recognition[C]. IEEE Conference on Computer Vision and Pattern Recognition, 2017: 4438-

- 4446.
- [4] MIRHOSEINI A, GOLDIE A, YAZGAN M, et al. Chip placement with deep reinforcement learning[J]. ArXiv Preprint, 2020, ArXiv: 2004.10746.
- [5] LIU J, DING Y, YANG J, et al. Generative adversarial network based scalable on-chip noise sensor placement[C]. IEEE International System-on-Chip Conference, 2017: 239-242.
- [6] BARBOZA E C, SHUKLA N, CHEN Y, et al. Machine learning-based pre-routing timing prediction with reduced pessimism[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [7] XIE Z, HUANG Y H, FANG G Q, et al. RouteNet: Routability prediction for mixed-size designs using convolutional neural network[C]. IEEE/ACM International Conference on Computer-Aided Design, 2018: 1-8.
- [8] DENG J, DONG W, SOCHER R, et al. Imagenet: A large-scale hierarchical image database[C]. IEEE Conference on Computer Vision and Pattern Recognition, 2009: 248-255.
- [9] TABRIZI A F, DARAV N K, RAKAI L, et al. Eh? predictor: A deep learning framework to identify detailed routing short violations from a placed netlist[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, 39(6): 1177-1190.
- [10] WARD S I, KIM M C, VISWANATHAN N, et al. Keep it straight: Teaching placement how to better handle designs with datapaths[C]. ACM International Symposium on Physical Design, 2012: 79-86.
- [11] LIN Y, JIANG Z, GU J, et al. DREAMPlace: Deep Learning Toolkit-Enabled GPU Acceleration for Modern VLSI Placement[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems (TCAD), 2021, 40(4): 748-761.
- [12] LU J, CHEN P, CHANG C C, et al. ePlace: Electrostatics based placement using Nesterov's method[C]. ACM/IEEE Design Automation Conference, 2014: 1-6.
- [13] AGNESINA A, LEPERCQ E, ESCOBEDO J, et al. Reducing compilation effort in commercial FPGA emulation systems using machine learning[C]. IEEE/ACM International Conference on Computer-Aided Design, 2019: 1-8.
- [14] XIE Z, FANG G Q, HUANG Y H, et al. FIST: A feature-importance sampling and tree-based method for automatic design flow parameter tuning[C]. IEEE/ACM Asia and South Pacific Design Automation Conference, 2020: 19-25.
- [15] LU Y C, PENTAPATI S S K, ZHU L, et al. TP-GNN: A graph neural network framework for tier partitioning in monolithic 3D ICs[C]. ACM/IEEE Design Automation Conference, 2020: 1-6.
- [16] AGNESINA A, CHANG K, LIM S K. VLSI placement parameter optimization using deep reinforcement learning[C]. IEEE/ACM International Conference on Computer-Aided Design, 2020: 1-9.
- [17] KIM S, HAN I, PAIK S, et al. Pulser gating: A clock gating of pulsed-latch circuits[C]. Asia and South Pacific Design Automation Conference, 2011: 190-195.
- [18] WARD S I, VISWANATHAN N, ZHOU N Y, et al. Clock power minimization using structured latch templates and decision tree induction[C]. IEEE/ACM International Conference on Computer-Aided Design, 2013: 599-606.
- [19] LU Y C, LEE J, AGNESINA A, et al. GAN-CTS: A generative adversarial framework for clock tree prediction and optimization[C]. IEEE/ACM International Conference on Computer-Aided Design, 2019: 1-8.
- [20] YU C, ZHANG Z. Painting on placement: Forecasting routing congestion using conditional generative adversarial nets[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [21] ALAWIEH M B, LI W, LIN Y, et al. High-definition routing congestion prediction for large-scale FPGAs[C]. IEEE/ACM Asia and South Pacific Design Automation Conference, 2020: 26-31.
- [22] YU T C, FANG S Y, CHIU H S, et al. Pin accessibility prediction and optimization with deep learning-based pin pattern recognition[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [23] HUNG W T, HUANG J Y, CHOU Y C, et al. Transforming global routing report into drc violation map with convolutional neural network[C]. ACM International Symposium on Physical Design, 2020: 57-64.
- [24] LIANG R, XIANG H, PANDEY D, et al. DRC hotspot prediction at sub-10 nm process nodes using customized convolutional network[C]. ACM International Sympos-

- sium on Physical Design, 2020: 135-142.
- [25] ZHU K, LIU M, LIN Y, et al. Geniusroute: A new analog routing paradigm using generative neural network guidance[C]. IEEE/ACM International Conference on Computer-Aided Design, 2019: 1-8.
- [26] QU T, LIN Y, LU Z, et al. Asynchronous reinforcement learning framework for net order exploration in detailed routing[C]. IEEE/ACM Design, Automation and Test in Europe Conference, 2021: 1815-1820.
- [27] LI H, CHEN G, JIANG B, et al. Dr. CU 2.0: A scalable detailed routing framework with correct-by-construction design rule satisfaction[C]. IEEE/ACM International Conference on Computer-Aided Design, 2019: 1-7.
- [28] LI H, PATNAIK S, SENGUPTA A, et al. Attacking split manufacturing from a deep learning perspective[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [29] ZENG W, ZHANG B, DAVOODI A. Analysis of security of split manufacturing using machine learning[J]. IEEE Transactions on Very Large Scale Integration Systems, 2019, 27(12): 2767-2780.
- [30] AHMED N, TEHRANIPOOR M, JAYARAM V. A novel framework for faster-than-at-speed delay test considering IR-drop effects[C]. IEEE/ACM International Conference on Computer-Aided Design, 2006: 198-203.
- [31] SALEH R, HUSSAIN S Z, ROCHEL S, et al. Clock skew verification in the presence of IR-drop in the power distribution network[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2000, 19(6): 635-644.
- [32] HO C T, KAHNG A B. IncPIRD: Fast learning-based prediction of incremental IR drop[C]. IEEE/ACM International Conference on Computer-Aided Design, 2019: 1-8.
- [33] XIE Z, REN H, KHAILANY B, et al. PowerNet: Transferable dynamic IR drop estimation via maximum convolutional neural network[C]. IEEE/ACM Asia and South Pacific Design Automation Conference, 2020: 13-18.
- [34] ZHOU H, JIN W, TAN S X D. GridNet: Fast data-driven EM-induced IR drop prediction and localized fixing for on-chip power grid networks[C]. IEEE/ACM International Conference on Computer-Aided Design, 2020: 1-9.
- [35] CHHABRIA V A, KAHNG A B, KIM M, et al. Template-based PDN synthesis in floorplan and placement using classifier and CNN techniques[C]. IEEE/ACM Asia and South Pacific Design Automation Conference, 2020:44-49.
- [36] CAO Y, KAHNG A B, LI J, et al. Learning-based prediction of package power delivery network quality[C]. IEEE/ACM Asia and South Pacific Design Automation Conference, 2019: 160-166.
- [37] Synopsys Sentaurus Lithography[Z]. <https://www.synopsys.com/silicon/mask-synthesis/sentaurus-lithography.html>.
- [38] YE W, ALAWIEH M B, WATANABE Y, et al. TEMPO: Fast mask topography effect modeling with deep learning[C]. ACM International Symposium on Physical Design, 2020: 127-134.
- [39] GRAPHICS M. Calibre verification user's manual[Z]. 2008.
- [40] WATANABE Y, KIMURA T, MATSUNAWA T, et al. Accurate lithography simulation model based on convolutional neural networks[C]. Photomask Japan 2017: XXIV Symposium on Photomask and Next-Generation Lithography Mask Technology, 2017, 10454:1045401.
- [41] LIN Y, LI M, WATANABE Y, Et al. Data efficient lithography modeling with transfer learning and active data selection[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2018, 38(10): 1900-1913.
- [42] YE W, ALAWIEH M B, LIN Y, et al. LithoGAN: End-to-end lithography modeling with generative adversarial networks[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [43] AWAD A, TAKAHASHI A, TANAKA S, et al. A fast process variation and pattern fidelity aware mask optimization algorithm[C]. IEEE/ACM International Conference on Computer-Aided Design, 2014: 238-245.
- [44] YANG H, LI S, DENG Z, et al. GAN-OPC: Mask optimization with lithography-guided generative adversarial nets[J]. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 2019, 39(10): 2822-2834.
- [45] ALAWIEH M B, LIN Y, ZHANG Z, et al. GAN-SRAF: Sub-resolution assist feature generation using condition-

- al generative adversarial networks[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [46] POONAWALA A, MILANFAR P. Mask design for optical microlithography—an inverse imaging problem[J]. IEEE Transactions on Image Processing, 2007, 16(3): 774-788.
- [47] GAO J R, XU X, YU B, et al. MOSAIC: Mask optimizing solution with process window aware inverse correction[C]. ACM/IEEE Design Automation Conference, 2014: 1-6.
- [48] JIANG B, LIU L, MA Y, et al. Neural-ILT: Migrating ILT to neural networks for mask printability and complexity co-optimization[C]. IEEE/ACM International Conference on Computer-Aided Design, 2020: 1-9.
- [49] RONNEBERGER O, FISCHER P, BROX T. U-net: Convolutional networks for biomedical image segmentation[C]. IEEE International Conference On Medical Image Computing and Computer-assisted Intervention, 2015: 234-241.
- [50] LUO K, SHI Z, YAN X, et al. SVM based layout retargeting for fast and regularized inverse lithography[J]. Journal of Zhejiang University SCIENCE C, 2014, 15(5): 390-400.
- [51] MATSUNAWA T, YU B, PAN D Z. Optical proximity correction with hierarchical bayes model[J]. Journal of Micro/Nanolithography, MEMS, and MOEMS, 2016, 15(2): 021009.
- [52] YANG H, LUO L, SU J, et al. Imbalance aware lithography hotspot detection: a deep learning approach[J]. Journal of Micro/Nanolithography, MEMS, and MOEMS, 2017, 16(3): 033504.
- [53] CHEN R, ZHONG W, YANG H, et al. Faster region-based hotspot detection[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [54] YANG H, PATHAK P, GENNARI F, et al. DeePattern: Layout pattern generation with transforming convolutional auto-encoder[C]. ACM/IEEE Design Automation Conference, 2019: 1-6.
- [55] ZHANG X, SHIELY J, YOUNG E F. Layout pattern generation and legalization with generative learning models[C]. IEEE/ACM International Conference on Computer-Aided Design, 2020: 1-9.
- [56] CHEN H, KANG H, JIANG G, et al. VCAE: A virtualization and consolidation analysis engine for large scale data centers[C]. IEEE International Conference on Self-Adaptive and Self-Organizing Systems, 2010: 1-10.
- [57] MIRZA M, OSINDERO S. Conditional generative adversarial nets[J]. ArXiv Preprint, 2014, ArXiv: 1411.1784.